

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-341790

(43)Date of publication of application : 29.11.2002

(51)Int.CI.

G09F 9/30
G09G 3/20
G09G 3/30
H05B 33/08
H05B 33/14

(21)Application number : 2001-147960

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.05.2001

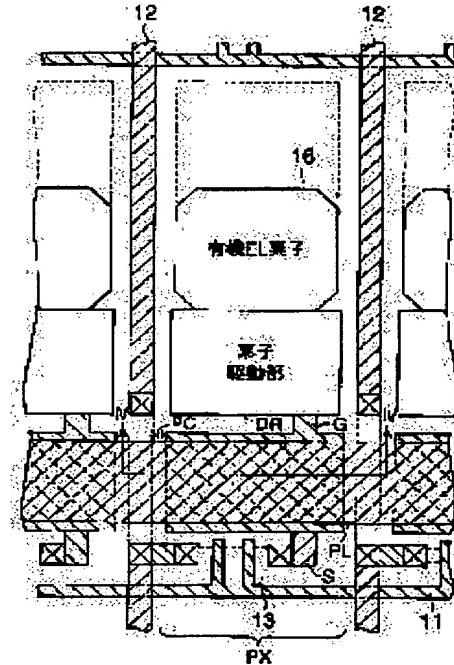
(72)Inventor : SAKURAI YOSUKE

(54) DISPLAY PIXEL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a cross-talk without lowering the aperture rate.

SOLUTION: The display pixel circuit is provided with a first and a second power source lines, an organic EL element 16, a driving transistor which is connected in series with the organic EL element 16 across the first and second power source lines and supplies a driving current to the organic EL element 16, and a drive control circuit for controlling this driving transistor. Especially, the driving control circuit comprises a signal line 12 for supplying a video signal, a pixel switch for selectively applying the video signal voltage on the signal line 12 to the gate electrode G of the driving transistor, a capacitor for holding the video signal voltage to be applied to the gate electrode G of the driving transistor and applying the video signal voltage to the gate electrode during a non-conductive period of the pixel switch, and a wiring layer PL which is formed to be superposed on the gate electrode G of the driving transistor and the signal line 12 via an insulating film and does not vary in potential when the pixel switch 13 is non-conductive.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-341790
(P2002-341790A)

(43)公開日 平成14年11月29日 (2002.11.29)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト [*] (参考)
G 09 F 9/30	3 3 8	G 09 F 9/30	3 3 8 3 K 0 0 7
	3 6 5		3 6 5 Z 5 C 0 8 0
G 09 G 3/20	6 1 1	G 09 G 3/20	6 1 1 D 5 C 0 9 4
	6 2 1		6 2 1 M
	6 2 4		6 2 4 B

審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願2001-147960(P2001-147960)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22)出願日 平成13年5月17日(2001.5.17)

(72)発明者 櫻井 洋介

埼玉県深谷市幡屋町一丁目9番地2 株式
会社東芝深谷工場内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

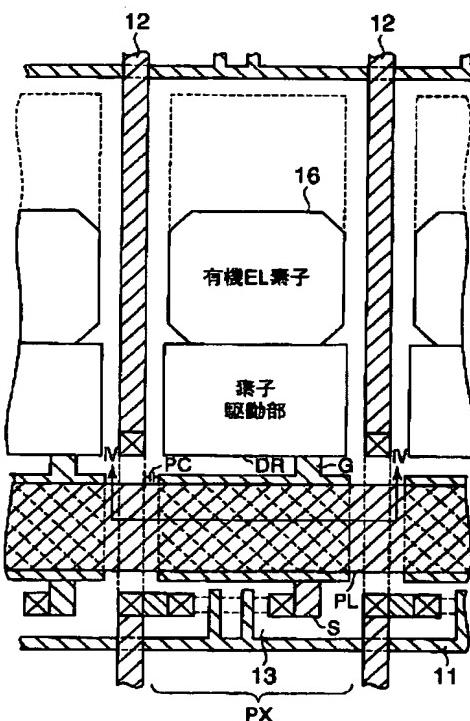
最終頁に続く

(54)【発明の名称】 表示画素回路

(57)【要約】

【課題】開口率を低下させること無くクロストークを低減する。

【解決手段】表示画素回路は第1および第2電源線と、有機EL素子16と、第1および第2電源線間に有機EL素子16と直列に接続され有機EL素子16に駆動電流を供給する駆動トランジスタと、この駆動トランジスタを制御する駆動制御回路とを備える。特に、駆動制御回路は映像信号を供給する信号線12、信号線12上の映像信号の電圧を駆動トランジスタのゲート電極Gに選択的に印加する画素スイッチ、駆動トランジスタのゲート電極Gに印加される映像信号の電圧を保持し画素スイッチが非導通である間に映像信号の電圧をゲート電極Gに印加するキャパシタ、および駆動トランジスタのゲート電極Gおよび信号線12に絶縁膜を介して重なるように形成され画素スイッチ13が非導通であるときに電位変化しない配線層PLを含む。



【特許請求の範囲】

【請求項 1】 第1および第2電源線と、駆動電流に対応した輝度で発光する発光素子と、前記第1および第2電源線間で前記発光素子と直列に接続され前記発光素子に駆動電流を供給する駆動トランジスタと、この駆動トランジスタを制御する駆動制御回路とを備え、前記駆動制御回路は映像信号を供給する信号線、前記信号線上の映像信号の電圧を前記駆動トランジスタのゲート電極に選択的に印加する画素スイッチ、前記画素スイッチを介して前記駆動トランジスタのゲート電極に印加される映像信号の電圧を保持し前記画素スイッチが非導通である間に映像信号の電圧を前記駆動トランジスタのゲート電極に印加するキャパシタ、および前記駆動トランジスタのゲート電極および前記信号線に絶縁膜を介して重なるように形成され前記画素スイッチが非導通であるときに電位変化しない配線層を含むことを特徴とする表示画素回路。

【請求項 2】 前記配線層は前記第1および第2電源線の一方を構成することを特徴とする請求項1に記載の表示画素回路。

【請求項 3】 前記駆動制御回路は前記画素スイッチおよび前記駆動トランジスタのゲート間に直列に接続されるキックキャパシタ、前記駆動トランジスタのゲートおよびドレイン間に接続されリセット電圧が画素スイッチを介して供給される間だけ導通するリセットスイッチ、および前記駆動トランジスタのドレインおよび前記発光素子間に接続され前記リセットスイッチが導通状態にある期間を除いて持続的に導通する出力スイッチにより構成される閾値キャンセル回路を含むことを特徴とする請求項1に記載の表示画素回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は例えば携帯用情報機器の表示装置に関し、特に有機EL(Electro Luminescence)素子のような発光素子を用いて表示装置の表示画素を構成する表示画素回路に関する。

【0002】

【従来の技術】近年では、有機EL表示装置が軽量、薄型、高輝度という特徴を持つことから携帯電話のような携帯用情報機器のモニタディスプレイとして注目されている。典型的な有機EL表示装置は、マトリクス状に配列される複数の表示画素により画像を表示するように構成される。この有機EL表示装置では、複数の走査線がこれら表示画素の行に沿って配置され、複数の信号線がこれら表示画素の列に沿って配置され、複数の画素スイッチがこれら走査線および信号線の交差位置近傍に配置される。各表示画素は有機EL素子、一対の電源線間でこの有機EL素子に直列に接続される駆動トランジスタ、およびこの駆動トランジスタのゲート電圧を保持するキャパシタにより構成される。各画素スイッチは対応

走査線から供給される走査信号に応答して導通し、対応信号線から供給される映像信号の階調電圧を駆動トランジスタのゲートに印加する。駆動トランジスタはこの階調電圧に応じた駆動電流を有機EL素子に供給する。

【0003】有機EL素子は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれらを再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。アノード電極はITO等で構成される透明電極であり、カソード電極はアルミニウム等の金属で構成される反射電極である。この構成により、有機EL素子は10V以下の印加電圧で100~100000c²/m²程度の輝度を得ることができる。

【0004】ところで、駆動トランジスタのゲート電極は、画素スイッチが非導通に成了ったときに電気的なフローティング状態となるため、ゲート電極が隣接信号線と容量結合している場合、ゲート電圧がこれら隣接信号線の電位変化に伴って変動する。

【0005】

【発明が解決しようとする課題】従来においては、ゲート電極と隣接信号線間の寄生容量が比較的大きかったために、これが隣接表示画素間のクロストークとして表示品質を低下させる原因となっていた。この対策として、ゲート電極を信号線から離して配置することも考えられるが、これは表示画素の開口率を低下させる結果となる。

【0006】本発明の目的は、開口率を低下させること無くクロストークを低減できる表示画素回路を提供することにある。

【0007】

【課題を解決するための手段】本発明によれば、第1および第2電源線と、駆動電流に対応した輝度で発光する発光素子と、第1および第2電源線間で発光素子と直列に接続され発光素子に駆動電流を供給する駆動トランジスタと、この駆動トランジスタを制御する駆動制御回路とを備え、駆動制御回路は映像信号を供給する信号線、信号線上の映像信号の電圧を駆動トランジスタのゲート電極に選択的に印加する画素スイッチ、この画素スイッチを介して駆動トランジスタのゲート電極に印加される映像信号の電圧を保持し画素スイッチが非導通である間に映像信号の電圧を駆動トランジスタのゲート電極に印加するキャパシタ、および駆動トランジスタのゲート電極および信号線に絶縁膜を介して重なるように形成され画素スイッチが非導通であるときに電位変化しない配線層を含む表示画素回路が提供される。

【0008】この表示画素回路では、キャパシタがゲート電極および配線層間の容量結合により構成され、信号線およびゲート電極間の容量結合よりも大きな値を得ることができる。すなわち、駆動トランジスタのゲート電

圧がゲート電極および信号線間の寄生容量によって変動しにくくなるためクロストークを低減できる。また、この構成はゲート電極と信号線間の距離を離す必要がないため、開口率の低下も防止できる。

【0009】

【発明の実施の形態】以下、本発明の一実施形態に係る有機EL表示装置について添付図面を参照して説明する。

【0010】図1はこの有機ELパネル10を示す。この有機ELパネル10は、ガラス板上において画像を表示するためにマトリクス状に配置される複数の表示画素PX、これら表示画素PXの行に沿って配置される複数の走査線11、これら表示画素PXの列に沿って配置される複数の信号線12、これら走査線11および信号線12の交差位置近傍に配置される複数の画素スイッチ13、複数の走査線11を駆動する走査線ドライバ14、および複数の信号線12を駆動する信号線ドライバ15を備える。各表示画素PXは有機EL素子16、一对の電源線DVDD、DVSS間でこの有機EL素子16に直列に接続されたPチャネル薄膜トランジスタである駆動トランジスタ17、およびこの駆動トランジスタ17のゲート電圧を保持するコンデンサ18により構成される。電源線DVDDは例えば+15Vの所定電位に設定され、電源線DVSSは例えば0Vの電位に設定される。各画素スイッチ13は例えばNチャネル薄膜トランジスタにより構成され、対応走査線11から供給される走査信号により駆動されたときに対応信号線12から供給される映像信号の電圧を駆動トランジスタ17のゲート電極に印加する。駆動トランジスタ17はこの映像信号の電圧に応じた駆動電流を有機EL素子16に供給する。有機EL素子16は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれらを再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。

【0011】信号線ドライバ15は各水平走査期間において映像信号の電圧を複数の信号線12に並列的に供給する。走査線ドライバ14は各垂直走査期間において順次複数の走査線11に走査信号を供給する。各行の画素スイッチ13はこれら走査線14のうちの対応する1本から共通に供給される走査信号により1水平走査期間だけ導通し、走査信号が再び1垂直走査期間後に供給されるまで非導通となる。1行分の駆動トランジスタ17はこれら画素スイッチ13の導通により複数の信号線12から供給される映像信号の電圧に対応した駆動電流を有機EL素子16にそれぞれ供給する。

【0012】また、信号線ドライバ15は映像信号電圧の出力に先だって一時的に所定のリセット電圧を出力するよう構成される。表示画素PXはさらに画素スイッチ

13および駆動トランジスタ17のゲート電極間に直列に接続されるキックキャパシタ20、駆動トランジスタ17のゲート電極およびドレイン電極間に接続されるリセットスイッチ21、および駆動トランジスタ17のドレイン電極および有機EL素子16間に接続される出力スイッチ22で構成される閾値キャンセル回路を含む。リセットスイッチ21および出力スイッチ22は例えばPチャネル薄膜トランジスタで構成され、それぞれ外部からの制御信号SW1、SW2により制御される。この制御により、リセットスイッチ21はリセット電圧が画素スイッチ13を介して供給される間だけ導通し、出力スイッチ22はリセットスイッチ21が導通状態にある期間を除いて持続的に導通する。

【0013】この閾値キャンセル回路では、リセット電圧が画素スイッチ13を介して供給されると、リセットスイッチ21が導通し出力スイッチ22が非導通となる。このとき図2に示す経路PT1を介して流れる電流により、ゲート電圧が駆動トランジスタ17のスレッショルド電圧Vthに等しくなるまで駆動トランジスタ17のゲート電極およびキックキャパシタ20間のノード電位が上昇する。映像信号電圧がリセット電圧に統合して供給されると、リセットスイッチ21が非導通となり出力スイッチ22が導通する。これにより、駆動トランジスタ17のゲート電極およびキックキャパシタ20間のノード電位がスレッショルド電圧Vthを映像信号電圧に加えたレベルとなり、駆動電流が図2に示す経路PT2を介して流れる。ここで、駆動電流はリセット電圧と映像信号電圧との電位差により決定されることになり、駆動トランジスタ17のスレッショルド電圧Vthにバラツキがあっても、駆動電流が変動しなくなる。この閾値キャンセル回路は一般に知られ、駆動トランジスタ17のスレッショルド電圧Vthの影響を回避できる。

【0014】駆動トランジスタ17のゲート電極は信号線12と容量結合し、図2に示すように画素スイッチ13が非導通である間にこの信号線12の電位変化に伴つてゲート電圧を変動させる寄生容量PCを構成する。

【0015】図3は表示画素PX周辺の平面構造を示し、図4は図3に示すIV-IV線に沿った断面構造を示す。図3に示す配線層PLは表示画素PXの行毎に設けられる電源線DVDDであり、駆動トランジスタ17、リセットスイッチ21、および出力スイッチ22を含む素子駆動部DRと画素スイッチ12との間の領域に配置され、図4に示すように信号線12および駆動トランジスタ17のゲート電極Gに絶縁膜を介して重なるよう形成される。キャパシタ18は配線層PLおよびゲート電極G間の容量結合により形成され、キャパシタ20はゲート電極Gおよび画素スイッチ13のソース電極S間の容量結合により形成される。ゲート電極Gは信号線12よりも極めて短い距離で配線層PLおよびソース電極Sと隣接し、かつ信号線12よりも極めて広い面積

で対向する。従って、キャパシタ 18, 20 の容量値はゲート電極 G および信号線 12 間の寄生容量 PC の容量値に比べて極めて大きな値を持つ。

【0016】上述の有機 E-L パネルでは、キャパシタ 18 がゲート電極 G および配線層 PL 間の容量結合により構成され、信号線 12 およびゲート電極 G 間の容量結合よりも大きな値を得ることができる。すなわち、駆動トランジスタ 17 のゲート電圧がゲート電極 G および信号線 12 間の寄生容量 PC によって変動しにくくなるため、クロストークを低減できる。また、この構成はゲート電極と信号線間の距離を離す必要がないため、開口率の低下も防止できる。

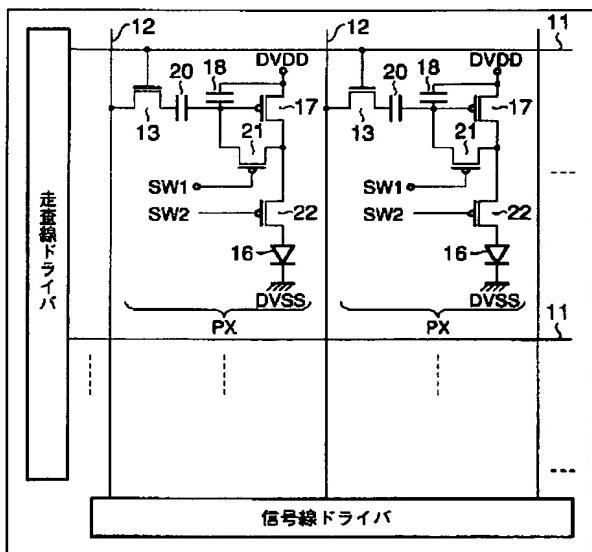
【0017】

【発明の効果】本発明によれば、開口率を低下させること無くクロストークを低減できる表示画素回路を提供することができる。

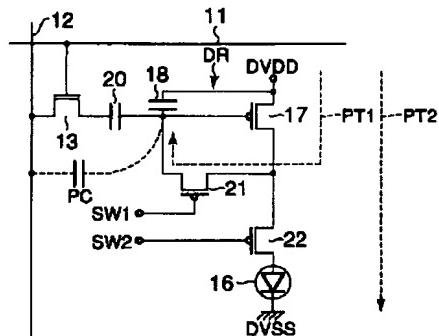
【図面の簡単な説明】

【図 1】本発明の一実施形態に係る有機 E-L パネルの構成を示す回路図である。

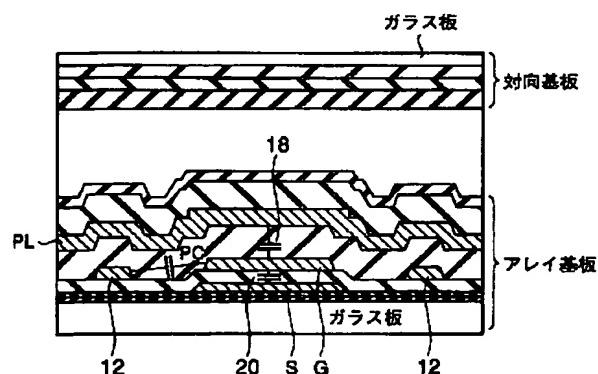
【図 1】



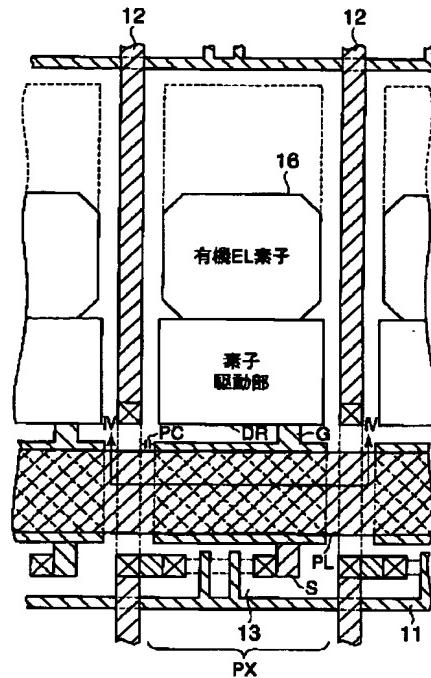
【図 2】



【図 4】



【図3】



フロントページの続き

(51) Int. Cl.⁷
テーマコード^{*} (参考)

G 09 G	3/20 3/30	6 8 0	G 09 G	3/20 3/30	6 8 0 G
H 05 B	33/08 33/14		H 05 B	33/08 33/14	J A
F ターム(参考)	3K007 AB02 BA06 DA01 DB03 EB00 GA04 5C080 AA06 BB05 CC03 DD10 EE29 FF11 JJ03 JJ06 5C094 AA09 AA10 AA48 AA53 BA03 BA27 CA19 DA09 DA13 DB01 DB04 EA04 EA05 FA01 FA02 FB01 FB12 FB14 FB15 GA10				

識別記号

F I

G 09 G
3/20
3/30

H 05 B
33/08
33/14

6 8 0 G
J

A